

*LETERA, brīvais mikrofons*



**RIGA TECHNICAL  
UNIVERSITY**

# Ciparu osciloskopa izveide integrālajā mikroshēmā attālinātām mācībām

Dr.Sc.Ing. Māris Tērauds (projekta vadītājs)

Dr. John Liobe, M.Sc.Ing. V. Smoļaninovs, M.Sc.Ing. Pauls Eriks Sics, M.Sc. Ing. Amal A. Raji, studenti : A.Jakimovičs,  
A. Shaji, Rincila, Mailsami, Sooryan u.c.

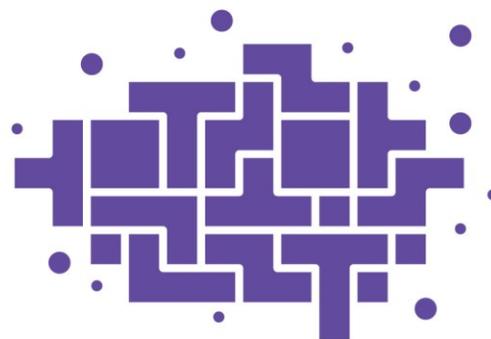
Fotonikas, elektronikas un telekomunikāciju institūts

2026. gada  
31. marts

# Projekts: Izp-2024/1-0442

- Šis pētījums ir saņēmis Latvijas Zinātnes padomes finansējumu projekta "Ciparu osciloskopa izveide integrālajā mikroshēmā attālinātām mācībām" (projekta Nr. Izp-2024/1-0442) ietvaros, Fundamentālo un lietišķo pētījumu projektu (FLPP) programmā.

2025. – 2026. – 2027.



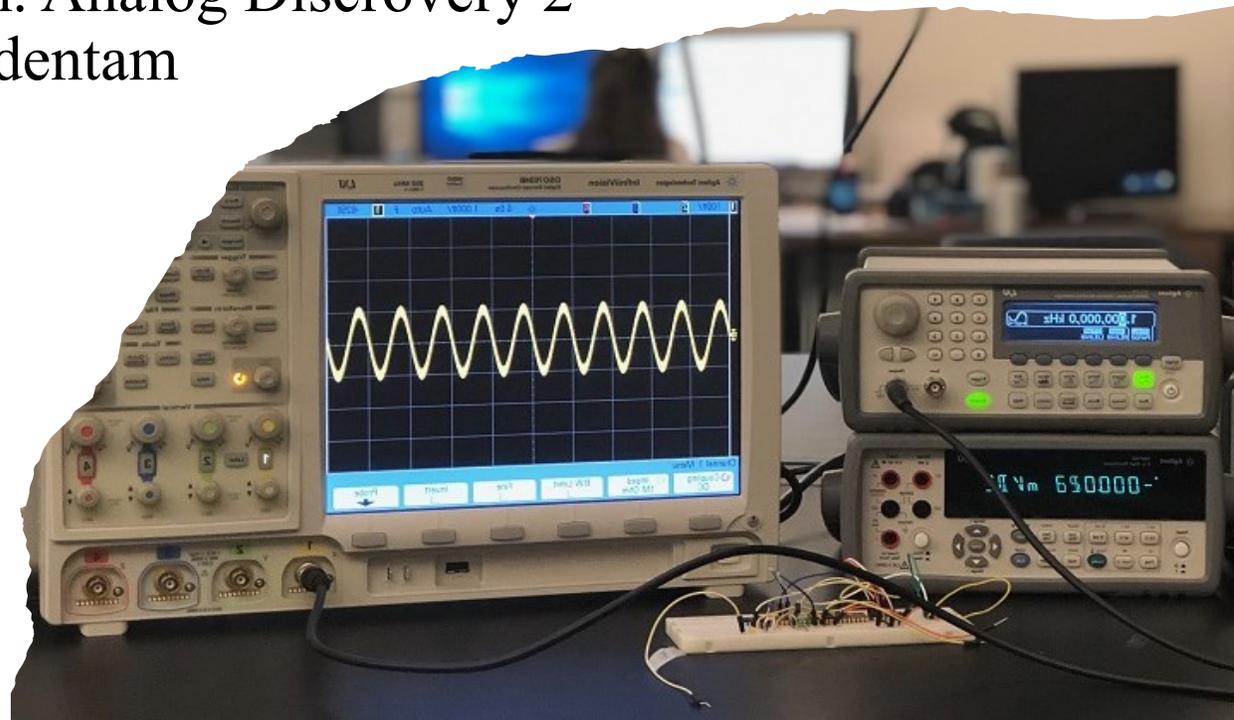
# FLPP

FUNDAMENTĀLO UN  
LIETIŠĶO PĒTĪJUMU  
PROJEKTI

# Studenta "laboratorija mājās" problēma

## Pašreizējie ierobežojumi

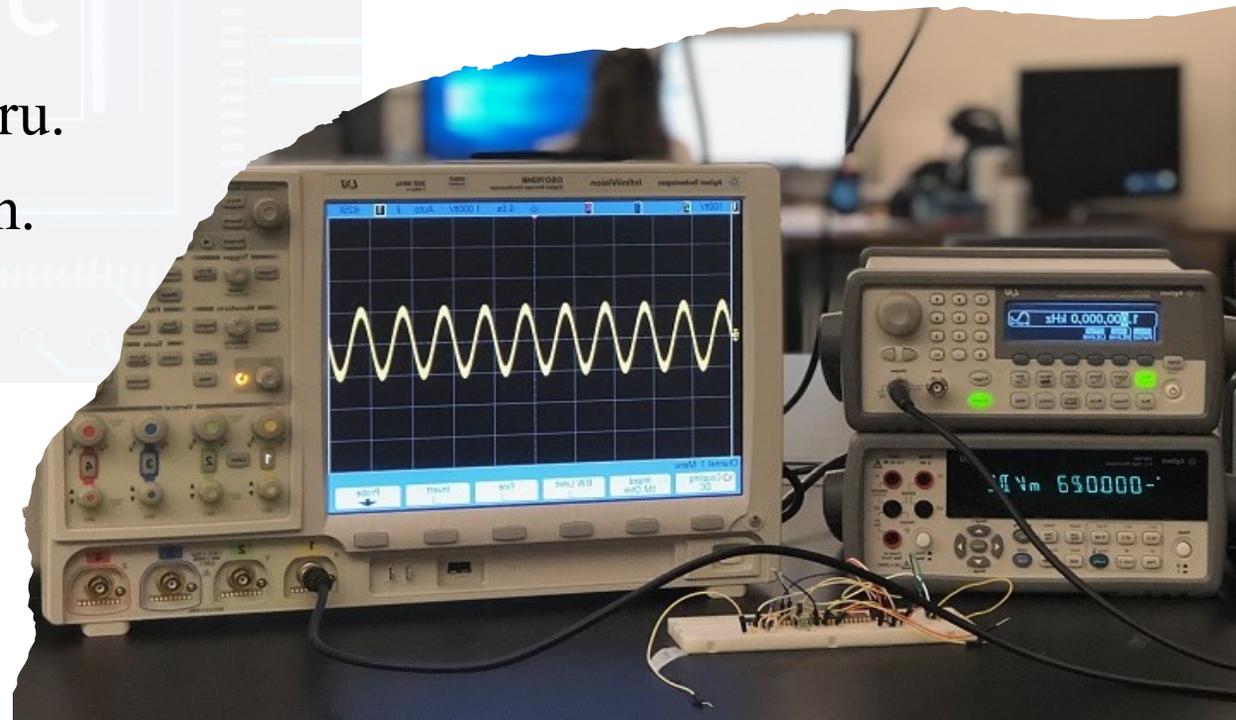
- Sarežģītība: Tradicionālās galda iekārtas ir apjomīgas un paredzētas tikai universitāšu laboratorijām.
- Augstas izmaksas: Standarta ierīces, piem. Analog Discovery 2 maksā ~€300, kas rada to nepieejāmu studentam
- Tā būtu attālinātās mācīšanās barjera



# Mērķis: " Oscilloskops čipā " vīzija

## Risinājums

- ✓ Jaukta signāla ASIC, lai sasniegtu SWaP -C (izmērs, svars, jauda un izmaksas).
- ✓ Integrējiet visu instrumentu ķēdi.
- ✓ Tiešs savienojums ar monitoriem un datoru.
- ✓ Mērogojams dizains mācību komplektiem.



# Sistēmas «Oscilloskops čipā» arhitektūra

Mikroshēma integrē analogo datu iegūšanu un digitālo apstrādi vienā mikroshēmā.

- **Nolasīšanas frekvence (sampling rate):** 100 MS/s
- **Izšķirtspēja:** 14 bitu pielāgots ADC dizains
- **Ieejas:** 4 analogie kanāli
- **Signāla ģenerators:** 2 kanāli
- **Saskarnes (interfeisi):** HDMI, VGA, USB, SPI, Bluetooth
- Tiešā pieeja atmiņai **DMA**
- Iespēja saslēgt vairākus čipus kopā lai iegūtu vairāk kanālus.

# Daudzpusīgas izejas saskarnes



Tiešais displejs



Datora savienojums



Spēj darbināt standarta monitorus tieši, izmantojot VGA/HDMI, nodrošinot tūlītēju signāla vizualizāciju bez datora.



USB saskarne nodrošina savienojumu ar datoriem padziļinātai datu analīzei, ekrāna uzņemšanai un pēcapstrādei.



Mobilā integrācija

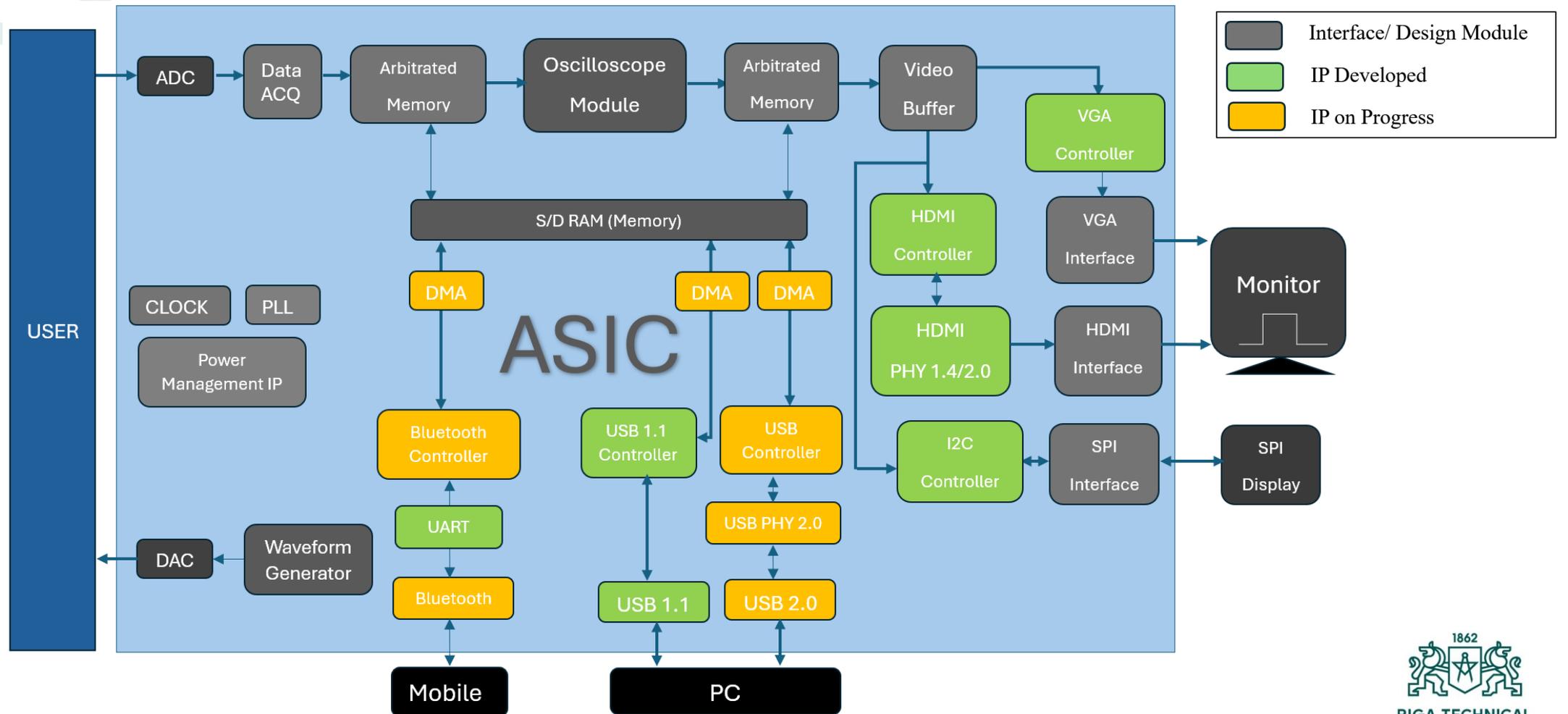


Nākotnes prasībām atbilstošs Bluetooth dizains, kas nodrošina bezvadu uzraudzību un vadību, izmantojot mobilā tālruņa lietotnes.

# Sistēmas arhitektūra



# Sistēmas arhitektūra



# Sistēmas attīstībā

- Analogā daļa
  - Pirmspastiprinātāji, ACP, CAP, Sample and Hold, Komparatori, Operāciju pastiprinātāji e.t.c.
  - Prototipēšana **Cadence Virtuoso**, topoloģijas veidošana, parazitisko parametru izgūšana; pēctopoloģijas simulācija.
- Ciparu daļa
  - Ciparu interfeisi;
  - Veidošana uz VHDL, pārbaude uz fpga platēm
  - **Cadence Genus un Innovus** programmatūras.
- IP-s
  - USBs, Atmiņas, PLL
  - Dialogi ar IP ražotājiem.



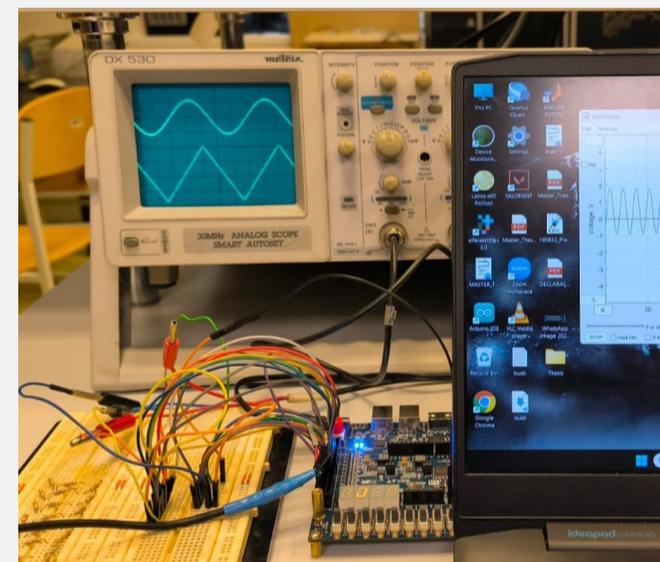
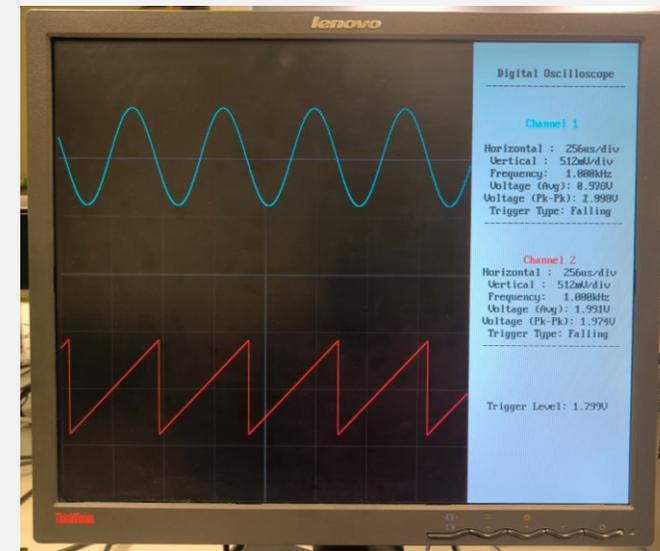
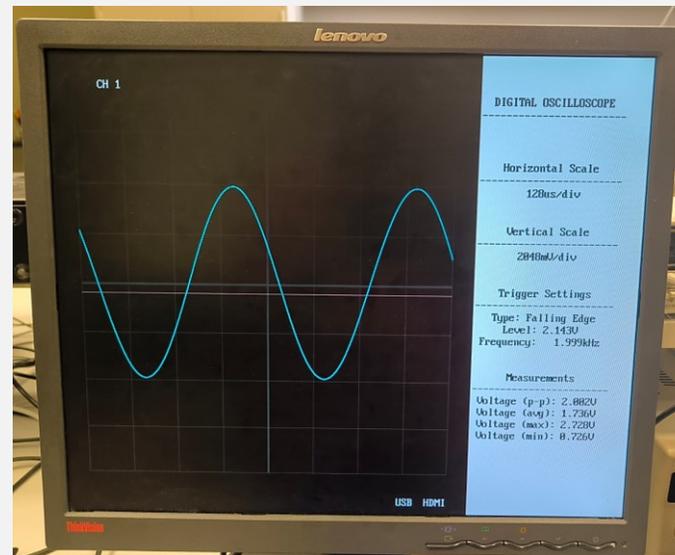
# Tehnoloģijas izvēle

- Pašlaik tiek izvēlētas:
  - TSMC 65nm GP, LP design kit

# FPGA prototipēšana(1)

## Aparatūras ieviešana

- ✓ **Osciloskops:** Funkcionāli 1, 2 un 4 kanālu modeļi.
- ✓ **Signāla ģenerators:** darbojas 2 kanālu izeja.
- ✓ **Reāllaikā:** pārbaudīta tiešraides datu iegūšana.



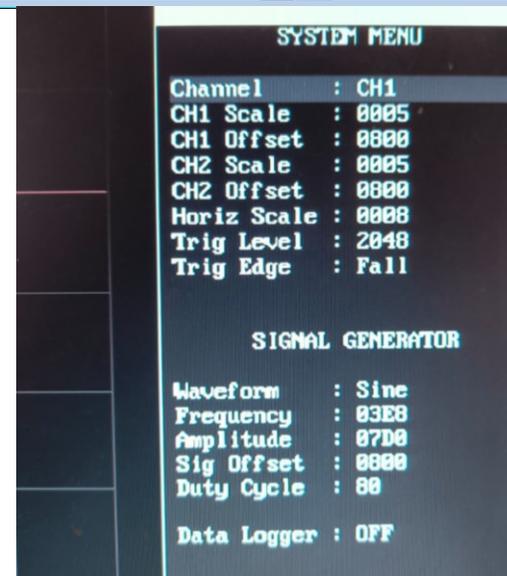
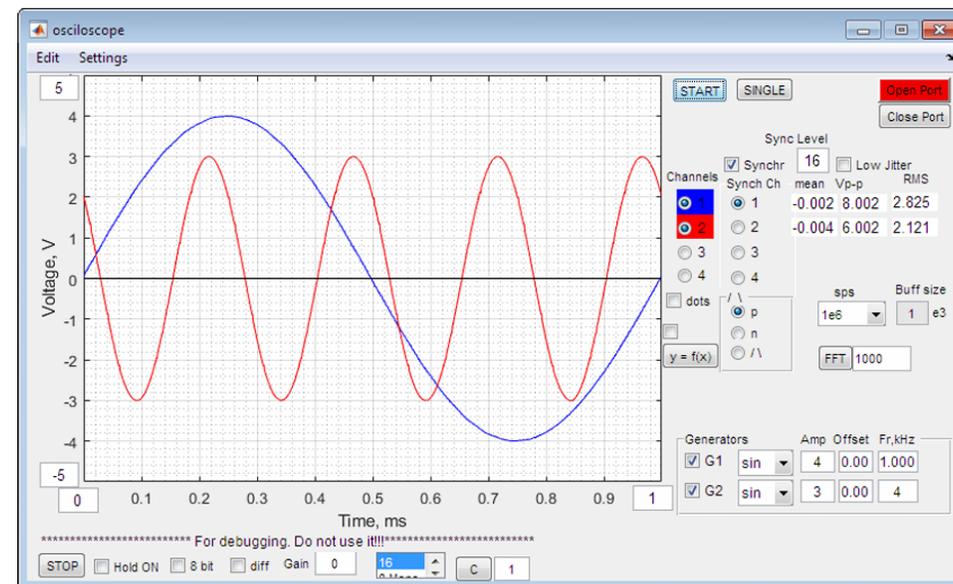
# FPGA prototipēšana(2)

Pielāgota osciloskopa lietotne

- Reāllaika viļņu formas vizualizācija.
- Signāla ģenerators vadība

Pogas vadība

- Pilnīga kontrole ar sistēmas izvēlni
- 4 pogas vadībai



# Projekta Ietekme un nākotnes perspektīvas



Institucionālā izaugsme



Jaunas Integrēto shēmu projektēšanas grupas izveide Rīgas Tehniskajā universitātē.



Izglītojošā vērtība



Nodrošinot studentiem pieejamus rīkus, palielinās iesaistīšanās un praktisko iemaņu apgūšana.



# Paldies par uzmanību

# Programmatūras Izmaksas:

Toolis	Licences maksa	Uzturēšanas gada maksa
IC package	1890 Euro	1905 Euro par vienu licenci
1 pētniecības licence		

Toolis	Licences maksa	Uzturēšanas gada maksa
IC package		710 Euro par 10 licencēm
10 mācību licences (jābūt 1 pētniecības licences)		

# ASIC prototipēšana MPW runs. 50 paraugi

TSMC mini@sic Pricelist	Standard prices		Discounted prices	
	EUR / min area	EUR / extra area	EUR / min area	EUR / extra area
TSMC 130 BCD+ (min area = 6 mm <sup>2</sup> )	14,054	232 / 0.1 mm <sup>2</sup>	12,554	191 / 0.1 mm <sup>2</sup>
<b>TSMC 65 LP/GP MS RF (min area = 1 mm<sup>2</sup>)</b>	<b>4,491</b>	<b>419 / 0.1 mm<sup>2</sup></b>	<b>3,691</b>	<b>360 / 0.1 mm<sup>2</sup></b>
TSMC 40 LP MS RF (min area = 3 mm <sup>2</sup> ) <sup>1</sup>	21,386	664 / 0.1 mm <sup>2</sup>	18,386	602 / 0.1 mm <sup>2</sup>
TSMC 28 HPC+ RF (min area = 1 mm <sup>2</sup> ) <sup>1</sup>	10,609	919.19 / 0.1 mm <sup>2</sup>	8,509	834 / 0.1 mm <sup>2</sup>
TSMC 16 FFC RF (min area = 1mm <sup>2</sup> ) <sup>2, 3</sup>	30,592	2,826.96 / 0.1 mm <sup>2</sup>	26,592	2,568 / 0.1 mm <sup>2</sup>

# FPGA Prototype

- Realizēts USB 1.1 interfeiss VHDL valodā, testēts ar Matlab Oscilloscope APP
- Realizēts UART interefeiss VHDL valodā priekš Bluetooth moduļa

# ADC dizains

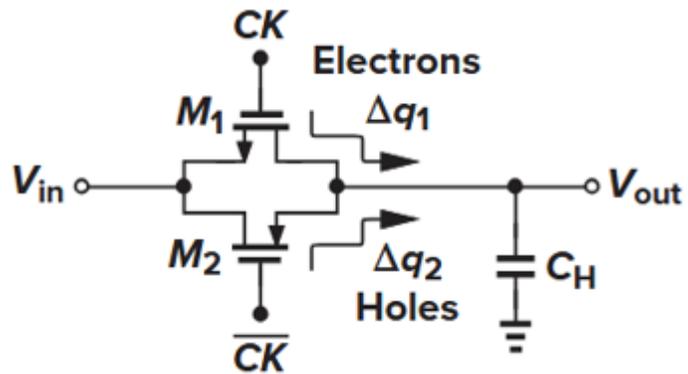
- Pirmspastiprinātāji, ADC, DAC, Sample and Hold, Comparators, Operāciju pastiprinātāji e.t.c.
- Prototipēšana Cadence Virtuoso, topoloģijas veidošana, parazitisko parametru izgūšana;

# ADC simulēšana no sistēmas puses

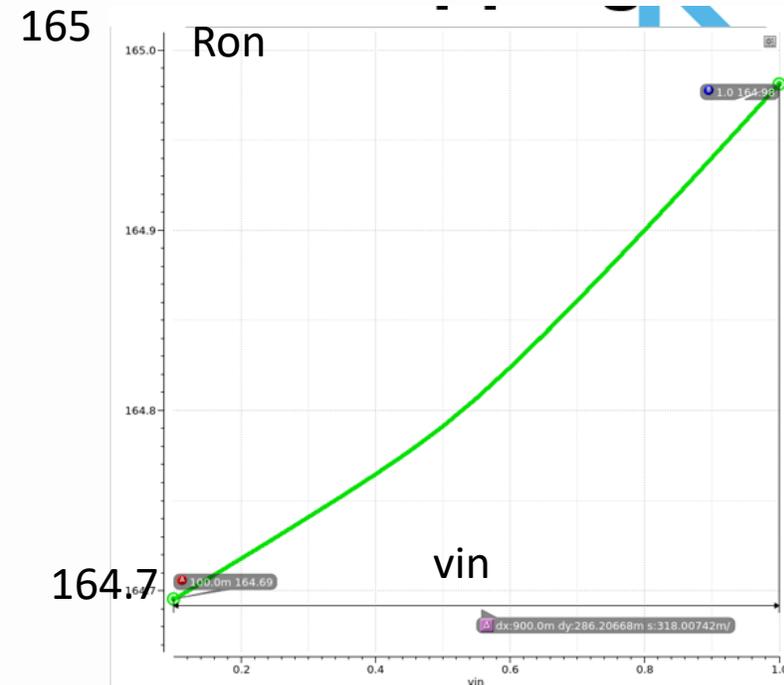
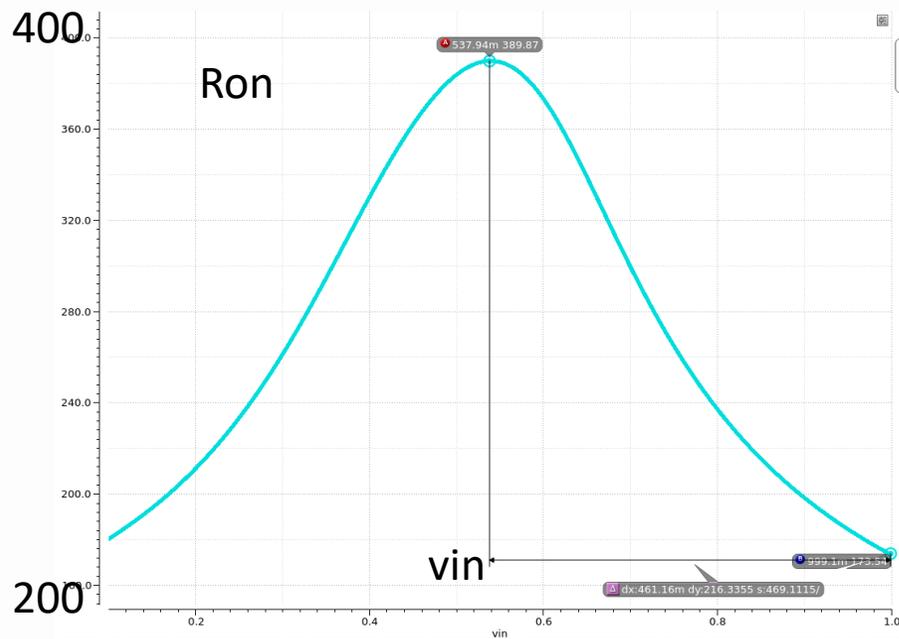
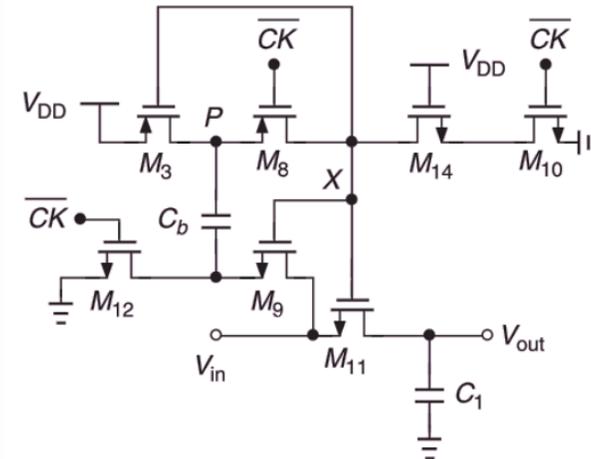
- Ideālizētā ADC izveide izmantojot Verilog-A valodu
- Atsevišķu bloku aizvietošana ar īstiem blokiem
- Trokšņu un citu parametru iestrādāšana ideālajos blokos

# S&H slēdzis

Transmission gate



# Bootstrapped switch



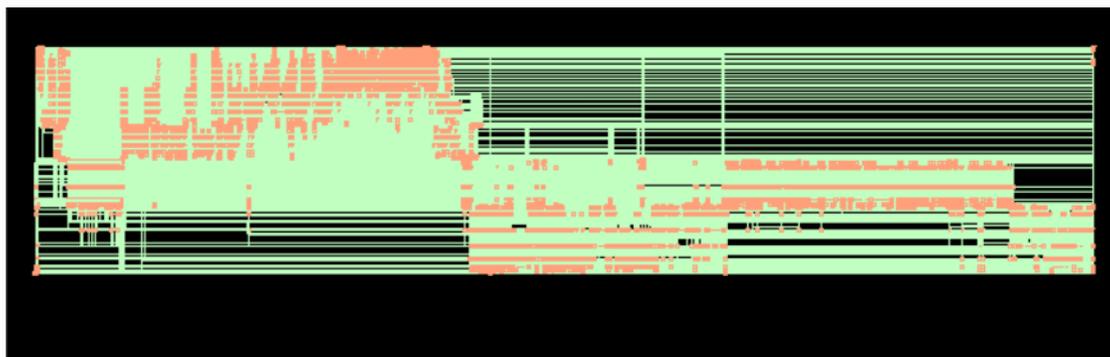
# Pastiprinātāju izveide

- Iedzilināšanas gm/ld tehnoloģijā.

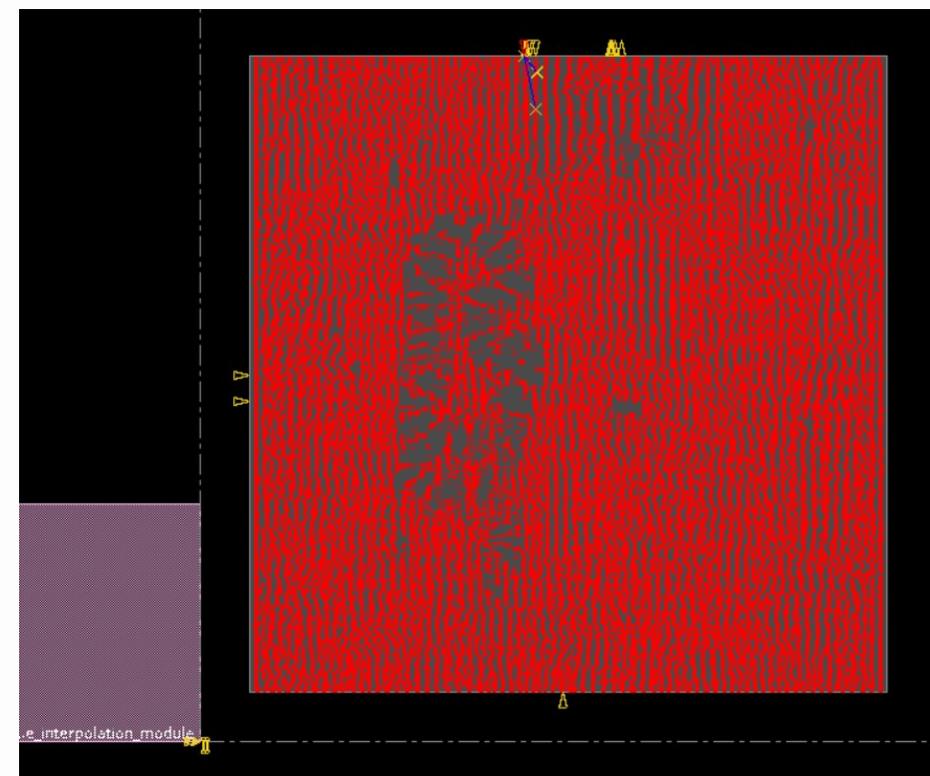
# ASIC dizains

Pāreja no FPGA uz ASIC:

- Cadence Genus
- Testa digitālā sintēze
- TSMC vispārējas nozīmes (GP)
- Funkcionālā verifikācija



Dizaina shēma



ASIC stāva plāna  
izkārtojums

# Results: ASIC Synthesis

- ✓ Initial Test Design
- ✓ Cadence Genus
- ✓ Feasibility Data (TSMC 65 nm):
  - Silicon Area: 1.44 mm<sup>2</sup>.
  - Power: 63 mW
  - Timing: Positive Slack (+5.8 ns), ready for 50 MHz operation. Can handle a faster clock if required (now up to 70MHz)

```
=====  
Generated by:      Genus(TM) Synthesis Solution 23.13-s073_1  
Generated on:     Oct 18 2025  08:31:55 pm  
Module:          Digital_oscilloscope  
Technology libraries: tcbn65gplustc_ccs 200  
                  physical_cells  
Operating conditions: NCCOM  
Interconnect mode:  spatial  
Area mode:       physical library  
=====
```

## Timing

```
-----  
Clock   Period  
-----  
adc_clk 2000000.0  
clock   20000.0
```

Cost Group	Critical Path Slack	TNS	Violating Paths
adc_clk	999482.5	0.0	0
clock	5817.5	0.0	0
default	No paths	0.0	
-----			
Total		0.0	0

## Instance Count

```
-----  
Leaf Instance Count      199518  
Physical Instance count    0  
Sequential Instance Count 106628  
Combinational Instance Count 92890  
Hierarchical Instance Count 3
```

## Area

```
-----  
Cell Area                1207787.760  
Physical Cell Area       0.000  
Total Cell Area (Cell+Physical) 1207787.760  
Net Area                  229468.468  
Total Area (Cell+Physical+Net) 1437256.228
```

# Design Implementation

- Digital Oscilloscope
  - 2 Channel
  - 500KSPS ADC (Built-in)
- DSP Module (Interpolation)
  - Linear Interpolation
  - $\text{Sin}(x)/x$  Interpolation
- Signal Generator
  - Direct Digital Synthesis
  - 2 Channel, 8-Bit DAC Out

